

W1065

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-097210

(43)Date of publication of application : 12.04.1996

(51)Int.Cl.

H01L 21/3205
H01L 21/316
H01L 21/318
H01L 21/768
H01L 21/8238
H01L 27/092
H01L 27/08

(21)Application number : 06-232603

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.09.1994

(72)Inventor : KAWASAKI MASARU

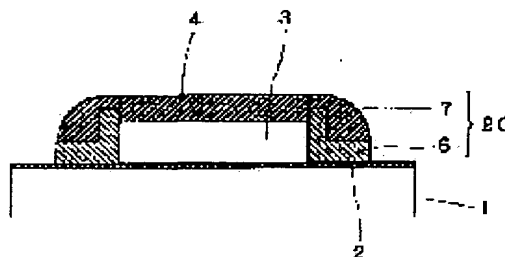
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To obtain a semiconductor device and its manufacturing method wherein excellent side walls are formed, and a contact hole can be formed in the self alignment manner.

CONSTITUTION: A nitride film 4 is formed on the upper part of a wiring 3. Side walls 20 are formed on the side surfaces of the wiring 3 and the nitride film 4. The side walls 20 are constituted of an oxide film 6 and a nitride film 7. The oxide film 6 is formed on the side surface of the wiring 3 and a gate oxide film 2, and the side surface of the wiring 3 is completely covered with the oxide films 6. Nitride film 7 is formed so as to cover the whole upper part of the oxide film 6 without making contact with the side surface of the wiring 3 and the gate oxide film 2.

Thereby, the upper parts of a conducting layer (the wiring 3) and an insulating film (the gate oxide film 2) are completely covered with the nitride film, and the oxide film is formed on the side surface of the conducting layer and the insulating film. Hence, excellent side walls are formed, and a contact hole can be formed in the self alignment manner.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97210

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/316	B			
21/318	B			
			H 0 1 L 21/ 88	B
			21/ 90	D
審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平6-232603

(22) 出願日 平成6年(1994)9月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 川崎 賢

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(74) 代理人 弁理士 吉田 茂明 (外2名)

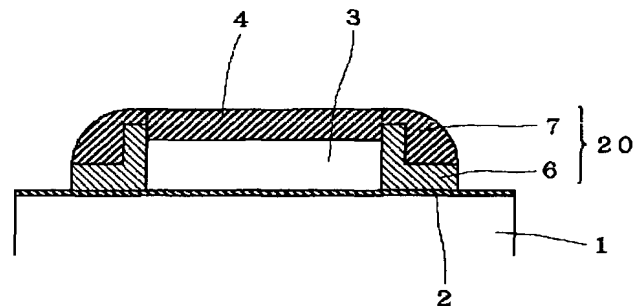
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 良質なサイドウォールを形成し、かつ自己整合的にコンタクトホールを形成することが可能な半導体装置及びその製造方法を得る。

【構成】 配線3の上部に窒化膜4が形成される。配線3及び窒化膜4の側面にサイドウォール20が形成される。サイドウォール20は酸化膜6及び窒化膜7からなり、酸化膜6は配線3の側面を完全に覆って配線3の側面上及びゲート酸化膜2上に酸化膜6が形成され、窒化膜7は配線3の側面及びゲート酸化膜2に接することなく酸化膜6上部全面を覆って形成される。

【効果】 導電層(配線3)及び絶縁膜(ゲート酸化膜2)上を窒化膜が完全に覆うとともに、導電層の側面及び絶縁膜上には酸化膜が形成されるため、良質なサイドウォールを形成し、かつ自己整合的にコンタクトホールを形成することができる。



1 : S i 基板

2 : ゲート酸化膜

3 : 配 線

4, 7 : 窒化膜

6 : 酸化膜

20 : サイドウォール

【特許請求の範囲】

【請求項 1】 半導体基板上に形成される絶縁膜と、前記絶縁膜上に選択的に形成される導電層と、前記導電層の上部全面に形成される第 1 の窒化膜と、前記導電層の側面に形成されるサイドウォールとを備えた半導体装置であって、

前記サイドウォールは、前記導電層の側面を完全に覆って前記導電層の側面上及び前記絶縁膜上に形成される酸化膜と、前記酸化膜の上部を完全に覆って形成される第 2 の窒化膜とからなることを特徴とする半導体装置。

【請求項 2】 (a) 半導体基板上に絶縁膜を介して選択的に導電層及び第 1 の窒化膜を形成するステップを備え、前記第 1 の窒化膜は前記導電層の上部全面に形成されており、

(b) 前記導電層を完全に覆って前記絶縁膜上及び前記導電層上に酸化膜を形成するステップと、

(c) 前記酸化膜を覆って第 2 の窒化膜を形成するステップと、

(d) 前記酸化膜及び前記第 2 の窒化膜に対してエッチング処理を施し、前記導電層の側面に前記酸化膜及び前記第 2 の窒化膜の一部を残すステップと、

(e) 前記第 1 の窒化膜及び前記第 2 の窒化膜間の前記酸化膜に対してエッチング処理を施し、前記酸化膜を一部除去して前記第 1 の窒化膜及び前記第 2 の窒化膜間に溝を形成するステップと、

(f) 前記溝を埋め込み用窒化膜で埋めるステップとをさらに備える、半導体装置の製造方法。

【請求項 3】 前記ステップ (e) の前に、

(g) 前記ステップ (d) で残存した前記酸化膜の側面を覆って酸化膜保護用窒化膜を形成するステップをさらに備える、請求項 2 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置の製造方法に関し、特に自己整合的（セルフアライン）なコンタクトホールの開孔方法に関するものである。

【0002】

【従来の技術】 図 1 4 はコンタクトホールを自己整合的に形成する際の配線の周辺構造の一例を示す断面図である。同図に示すように、Si 基板 1 の表面上にゲート酸化膜 2 が形成され、ゲート酸化膜 2 上にポリシリコン系の配線 3 が選択的に形成される。この配線 3 の上部及び枠付け部（サイドウォール）にそれぞれ窒化膜 4 及び窒化膜 5 が形成される。このように、配線 3 の上部及び側面を窒化膜 4 及び 5 で覆うことにより、配線 3 が窒化膜 4 により保護されるため、コンタクトホールを自己整合的に形成することができる。

【0003】 なお、第 1 層目のポリシリコン系の配線 3 をエッチングする際にマスクを窒化膜 3 としても、トランジスタの諸特性に影響はない。

【0004】

【発明が解決しようとする課題】 しかしながら、窒化膜 5 により配線 3 のサイドウォールを形成した図 2 に示す構造は、以下の問題点①～③を有している。

【0005】 ①窒化膜が Si 膜に対して応力が大きいため、半導体装置全般に悪影響を与える。例えば、窒化膜 5 の応力により Si 基板 1、窒化膜 5 間のゲート酸化膜 2 に欠陥を発生させ、リーク電流を大きくしてしまう。

②窒化膜のトラップ密度が大きいため、LDD 構造のトランジスタにおいてサイドウォールトラップの増加を招き、ホットキャリア耐性の低下を引き起こしてしまう。

③窒化膜が酸化膜よりも比誘電率が大きいため、MOS トランジスタの寄生容量（ゲート～ドレイン間容量）を増大させ回路の動作速度を低下させてしまう。

【0006】 このように、窒化膜 5 でサイドウォールを形成した場合、半導体装置に種々の性能劣化をもたらせてしまい、良質なサイドウォールではないという問題点があった。

【0007】 この発明は上記問題点を解決するためになされたもので、良質なサイドウォールを形成し、かつ自己整合的にコンタクトホールを形成することが可能な半導体装置及びその製造方法を得ることを得ることを目的とする。

【0008】

【課題を解決するための手段】 この発明に係る請求項 1 記載の半導体装置は、半導体基板上に形成される絶縁膜と、前記絶縁膜上に選択的に形成される導電層と、前記導電層の上部全面に形成される第 1 の窒化膜と、前記導電層の側面に形成されるサイドウォールとを備え、前記サイドウォールは、前記導電層の側面を完全に覆って前記導電層の側面上及び前記絶縁膜上に形成される酸化膜と、前記酸化膜の上部を完全に覆って形成される第 2 の窒化膜とからなる。

【0009】 この発明に係る請求項 2 記載の半導体装置の製造方法は、(a) 半導体基板上に絶縁膜を介して選択的に導電層及び第 1 の窒化膜を形成するステップを備え、前記第 1 の窒化膜は前記導電層の上部全面に形成されており、(b) 前記導電層を完全に覆って前記絶縁膜上及び前記導電層上に酸化膜を形成するステップと、(c) 前記酸化膜を覆って第 2 の窒化膜を形成するステップと、(d) 前記酸化膜及び前記第 2 の窒化膜に対してエッチング処理を施し、前記導電層の側面に前記酸化膜及び前記第 2 の窒化膜の一部を残すステップと、(e) 前記第 1 の窒化膜及び前記第 2 の窒化膜間の前記酸化膜に対してエッチング処理を施し、前記酸化膜を一部除去して前記第 1 の窒化膜及び前記第 2 の窒化膜間に溝を形成するステップと、(f) 前記溝を埋め込み用窒化膜で埋めるステップとをさらに備えて構成される。

【0010】 また、請求項 3 記載の半導体装置の製造方法のように、前記ステップ (e) の前に、(g) 前記ステッ

プ(d)で残存した前記酸化膜の側面を覆って酸化膜保護用窒化膜を形成するステップをさらに備えてもよい。

【0011】

【作用】この発明における請求項1記載の半導体装置のサイドウォールは、導電層の側面を完全に覆って導電層の側面上及び絶縁膜上に形成される酸化膜と、酸化膜の上部を完全に覆って形成される第2の窒化膜とからなるため、酸化膜の上部は第2の窒化膜により完全に保護されるとともに、導電層の側面及び絶縁膜と第2の窒化膜との間に酸化膜が介在する。

【0012】したがって、導電層及びサイドウォールの上部はそれぞれ第1及び第2の窒化膜により完全に保護されるため、第1及び第2の窒化膜の上部から窒化膜がエッチング耐性を有するエッチング処理を施してコンタクトホールを形成すれば、コンタクトホール形成時に導電層及びサイドウォールの酸化膜がエッチングされることはなく、自己整合的にコンタクトホールを形成することができる。

【0013】また、導電層の側面及びサイドウォール下の絶縁膜と第2の窒化膜との間に酸化膜が介在することにより、第2の窒化膜による悪影響を酸化膜が確実に抑制するため、サイドウォールが装置の性能劣化をもたらすことはない。

【0014】この発明における請求項2記載の半導体装置の製造方法により、導電層の側面に酸化膜、第2の窒化膜及び埋め込み用窒化膜とを有するサイドウォールが形成される。サイドウォールを構成する酸化膜は、ステップ(b)で導電層を完全に覆って絶縁膜上及び導電層上に形成されたため、導電層の側面及びサイドウォール下の絶縁膜と第2の窒化膜との間に必ず介在する。

【0015】また、サイドウォールを構成する第2の窒化膜は、ステップ(c)で酸化膜を覆って形成されており、埋め込み用窒化膜は酸化膜上の溝を埋めるため、第2の窒化膜及び埋め込み用窒化膜により酸化膜の上部は完全に覆って形成されることに自己整合コンタクトホール形成時に確実に保護される。

【0016】また、請求項3記載の半導体装置の製造方法のステップ(g)は、ステップ(e)の前に、ステップ(d)で残存した酸化膜の側面を覆って酸化膜保護用窒化膜を形成するため、ステップ(e)実行時に酸化膜の側面がエッチングされるのを確実に保護することができる。

【0017】

【実施例】図1はこの発明の第1の実施例である半導体装置の配線の周辺構造を示す断面図である。同図に示すように、Si基板1の表面上にゲート酸化膜2が形成され、ゲート酸化膜2上にポリシリコン系の導電層である配線3が選択的に形成される。この配線3は第1層目の配線であり、図1では図示しないが、コンタクトホールが形成された後に2層目の配線が形成される。

【0018】配線3の上部に窒化膜4が形成される。そ

して、配線3及び窒化膜4の側面にサイドウォール(枠付け部)20が形成される。サイドウォール20は酸化膜6及び窒化膜7からなり、酸化膜6は配線3の側面を完全に覆って配線3の側面上及びゲート酸化膜2上に酸化膜6が形成され、窒化膜7は配線3の側面及びゲート酸化膜2に接することなく酸化膜6上部全面を覆って形成される。

【0019】本実施例の半導体装置は、酸化膜6は窒化膜7のSi基板1に対する応力の影響を確実に抑制するため、ゲート酸化膜2に欠陥を発生させることもなく半導体装置に悪影響を与えない。また、配線3の側面及びゲート酸化膜2と窒化膜7との間に酸化膜6を介在させることにより、大きいトラップ密度及び比誘電率を有する窒化膜7による悪影響も確実に抑制することができるため、サイドウォールトラップを招くこともなく、MOSトランジスタの寄生容量が増大することもない。

【0020】配線3と窒化膜7との間及び窒化膜7とSi基板1との間に酸化膜6を介した構造の本実施例のトランジスタは、酸化膜のみにより配線3のサイドウォールを形成したトランジスタと比較して、トランジスタの諸特性に有意差はない。

【0021】図2～図9は図1で示した本実施例の半導体装置の製造方法を示す断面図である。以下、図2～図9を参照して、本実施例の半導体装置の製造方法を説明する。

【0022】まず、Si基板1上にゲート酸化膜2を形成し、ゲート酸化膜2上全面に導電層を形成する。そして、導電層上に窒化膜を形成する。その後、窒化膜を写真製版技術等を用いてパターンニングする。

【0023】そして、図2に示すように、パターンニングされた窒化膜4マスクとして導電層に対し既存のエッチング処理を施して、その一部がMOSトランジスタのゲート電極となる配線3を形成する。このとき、マスクとなる窒化膜4の膜厚は後にエッチバックを数回行うのでやや厚めに2000オングストローム以上にする。なお、配線3の材料はポリシリコン、ドーパドポリシリコンあるいはポリサイド等のポリシリコン系が考えられる。

【0024】その後、図示しないが配線3及び窒化膜4をマスクとして、イオン注入法等により不純物を注入した後に第1の拡散処理を施し、第1の拡散領域を形成する。

【0025】そして、図3に示すように、配線3及び窒化膜4を覆って全面に酸化膜6を300オングストローム(200オングストローム以上の膜厚であれば電気特性に悪影響はない。)の膜厚で形成した後、この酸化膜6を覆って1000オングストロームの膜厚の窒化膜71をデポジションする。

【0026】その後、酸化膜6及び窒化膜71に対して、窒化膜と酸化膜との選択比が1程度(すなわち窒化

膜と酸化膜のエッチングレートがほぼ等しい。)で、かつ窒化膜と酸化膜のSi基板に対する選択比が高い条件にて異方性ドライエッチング処理を行い、図4に示すように、残存した酸化膜6及び窒化膜71からなる枠21を形成する。この際、コリメーションスパッタ等特殊な製膜法を使用しない限り、通常の製膜法では側壁部に膜がつまれる。したがって、図3の状態で上記条件の通常の異方性エッチング処理を行えば、側壁部に図4のように枠21が確実に残ることになる。オーバーエッチング量は製膜条件やエッチング条件、またどの程度の枠を残すかにより異なる。

【0027】そして、再度、窒化膜を700オングストロームの膜厚でデポジションした後に上記異方性エッチング処理を行うことにより、図5に示すように、枠21の側面に窒化膜72が残る。この窒化膜72により酸化膜6の側面は完全に覆われる。

【0028】そして、酸化膜6に対するウェットエッチング処理を行うことにより、図6に示すように、窒化膜4と窒化膜71との間に700オングストローム程度の窪み(溝)22を形成する。ここで窒化膜72により酸化膜6の側面が完全に覆われているため、酸化膜6のサイドエッチングを防止することができる。

【0029】次に図7のように、窪み22が埋まるようにカバレッジのよい条件において窒化膜73を2500オングストローム程度の膜厚でデポジションする。

【0030】その後、窒化膜73に対するウェットエッチング処理を施し、窒化膜4をデポジションした膜厚から300オングストローム程度オーバーエッチを行うと図8に示すように、酸化膜6及び窒化膜7からなるサイドウォール20が形成される。

【0031】そして、図示しないが、配線3、窒化膜4及びサイドウォール20をマスクとして、イオン注入法等により不純物を注入した後に第2の拡散処理を施し、第2の拡散領域を形成する。この第2の拡散領域が第1の拡散処理で形成された第1の拡散領域とともに、MOSトランジスタのソース、ドレイン領域となる。

【0032】その後、図9に示すように、熱酸化処理を施し、500オングストローム程度の膜厚の層間絶縁膜8を形成する。その時の平面構造は図10の斜視図に示すようになる。

【0033】図10のような構造の半導体装置上に図11に示すように、レジスト9を形成しレジスト9にコンタクトホール形成用の穴部10を設けてパターニングする。そして、パターニングされたレジスト9をマスクとして熱酸化膜8に対するコンタクト開孔用のドライエッチング処理を行い、図12に示すように、コンタクトホール12を形成する。この時、酸化膜の対窒化膜選択比が高い条件にて行う。

【0034】この際、第1層目のポリシリコン系の配線3及びサイドウォール20の上部、すなわちドライエ

ッチング時にイオン衝撃をうける部分全てを窒化膜で覆っているため、写真製版によるコンタクトホール12のパターニングがずれて配線3の上部に位置しても、配線3の表面が露出することはない。したがって、第1層目のポリシリコン系の配線3とコンタクトホール12内に形成される2層目の配線とが電氣的にショートすることはない。すなわち、2層目の配線形成用のコンタクトホールを自己整合的に形成することができる。

【0035】なお、エッチングの種類はドライエッチングではなくてウェットエッチングを用いてもよい。ウェットエッチングの場合、ドライエッチングで用いるプラズマによる基板へのダメージがなく、開孔部がサイドエッチングされるため低いコンタクト抵抗を得ることができる。ただし、ウェットエッチングを用いる場合は、酸化膜6のサイドエッチを防止するため、酸化膜6の側面を窒化膜で完全に覆ってサイドウォールを形成するほうが望ましい。

【0036】また、上記の説明では層間絶縁膜として熱酸化膜を用いていたが、図13に示すように、酸化膜11をデポジションして形成してもよい。

【0037】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置のサイドウォールは、導電層の側面を完全に覆って導電層の側面上及び絶縁膜上に形成される酸化膜と、酸化膜の上部を完全に覆って形成される第2の窒化膜とからなるため、酸化膜の上部は第2の窒化膜により完全に保護されるとともに、導電層の側面及び絶縁膜と第2の窒化膜との間に酸化膜が介在する。

【0038】したがって、導電層及びサイドウォールの上部はそれぞれ第1及び第2の窒化膜により完全に保護されるため、第1及び第2の窒化膜の上部から窒化膜がエッチング耐性を有するエッチング処理を施してコンタクトホールを形成すれば、コンタクトホール形成時に導電層及びサイドウォールの酸化膜がエッチングされることはなく、自己整合的にコンタクトホールを形成することができる。

【0039】また、導電層の側面及びサイドウォール下の絶縁膜と第2の窒化膜との間に酸化膜が介在することにより、第2の窒化膜による悪影響を酸化膜が確実に抑制するため、サイドウォールが装置の性能劣化をもたらすことはない。

【0040】その結果、良質なサイドウォールを形成し、かつ自己整合的にコンタクトホールを形成することが可能な半導体装置を得ることができる。

【0041】この発明における請求項2記載の半導体装置の製造方法により、導電層の側面に酸化膜、第2の窒化膜及び埋め込み用窒化膜とを有するサイドウォールが形成される。サイドウォールを構成する酸化膜は、ステップ(b)で導電層を完全に覆って絶縁膜上及び導電層上

に形成されたため、導電層の側面及び絶縁膜と第 2 の窒化膜との間に必ず介在する。

【0042】したがって、導電層の側面及び絶縁膜と第 2 の窒化膜との間に酸化膜が介在することにより、第 2 の窒化膜による悪影響を酸化膜が確実に抑制するため、サイドウォールが装置の性能劣化をもたらすことはない。

【0043】また、サイドウォールを構成する第 2 の窒化膜は、ステップ (c) で酸化膜を覆って形成されており、埋め込み用窒化膜は酸化膜上の溝を埋めるため、第 2 の窒化膜及び埋め込み用窒化膜により酸化膜の上部は完全に覆って形成されることにより確実に保護される。

【0044】したがって、導電層及びサイドウォールの上部はそれぞれ第 1 及び第 2 の窒化膜並びに埋め込み用窒化膜により完全に保護されるため、上方から窒化膜がエッチング耐性を有するエッチング処理を施してコンタクトホールを形成すれば、コンタクトホール形成時に導電層上がエッチング処理対象となっても導電層及び酸サイドウォールの酸化膜がエッチングされることはなく、自己整合的にコンタクトホールを形成することができる。

【0045】その結果、良質なサイドウォールを形成し、かつ自己整合的にコンタクトホールを形成することが可能な半導体装置の製造方法を得ることができる。

【0046】また、請求項 3 記載の半導体装置の製造方法のステップ (g) は、ステップ (e) の前に、ステップ (d) で残存した酸化膜の側面を覆って酸化膜保護用窒化膜を形成するため、ステップ (e) 実行時に酸化膜の側面がエッチングされるのを確実に保護することができる。

【図面の簡単な説明】

【図 1】 この発明の一実施例である半導体装置の配線

の周辺構造を示す断面図である。

【図 2】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 3】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 4】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 5】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 6】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 7】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 8】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 9】 図 1 で示した半導体装置の製造方法を示す断面図である。

【図 10】 図 1 で示した半導体装置の製造方法を示す斜視図である。

【図 11】 図 1 で示した半導体装置の製造方法を示す斜視図である。

【図 12】 図 1 で示した半導体装置の製造方法を示す斜視図である。

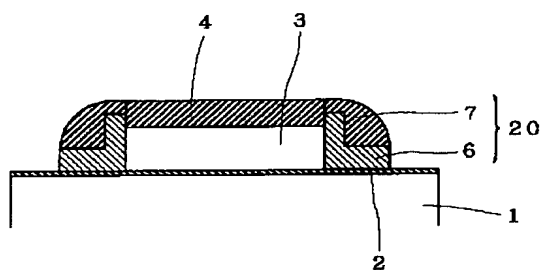
【図 13】 図 1 で示した半導体装置の製造方法を示す斜視図である。

【図 14】 従来の半導体装置の配線の周辺構造を示す断面図である。

【符号の説明】

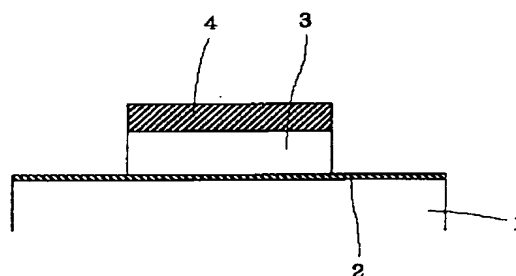
1 Si 基板、2 ゲート酸化膜、3 配線、4 窒化膜、6 酸化膜、7 窒化膜、20 サイドウォール。

【図 1】

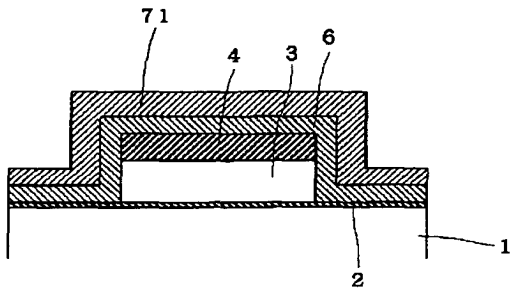


1 : Si 基板 2 : ゲート酸化膜
3 : 配線 4、7 : 窒化膜
6 : 酸化膜 20 : サイドウォール

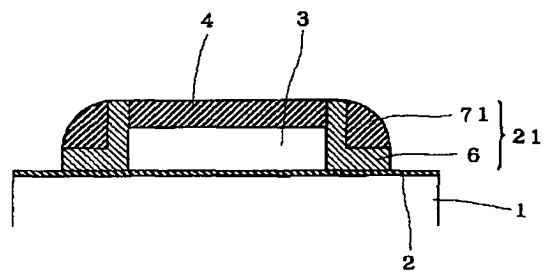
【図 2】



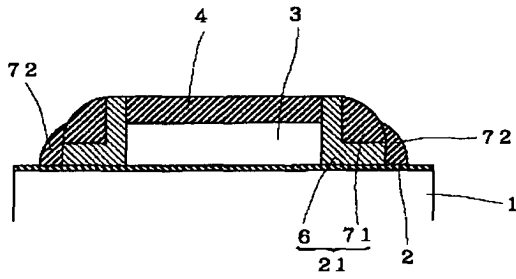
【図 3】



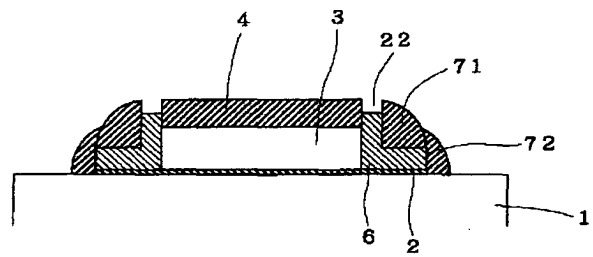
【図 4】



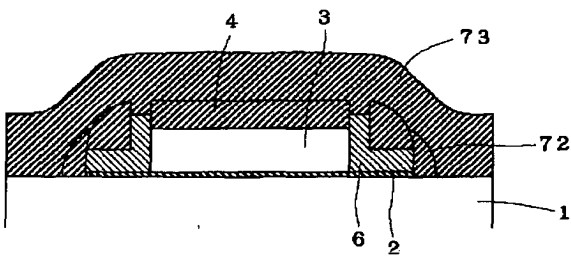
【図 5】



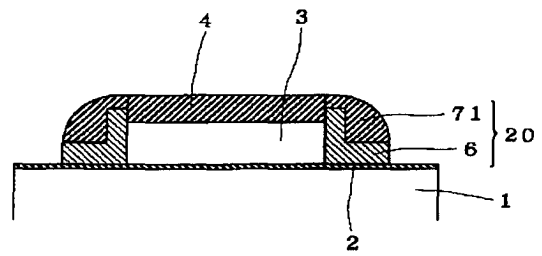
【図 6】



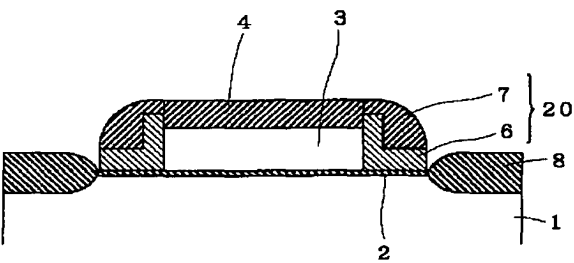
【図 7】



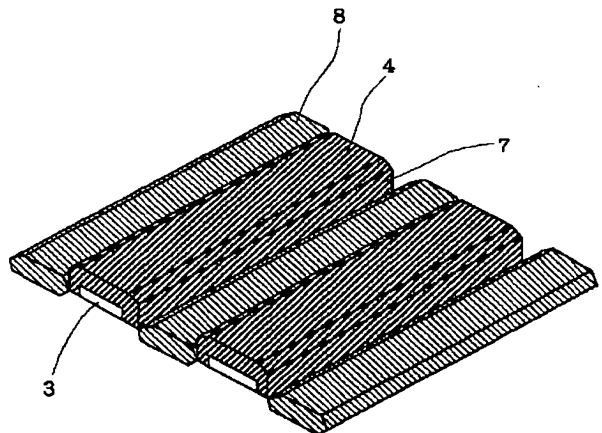
【図 8】



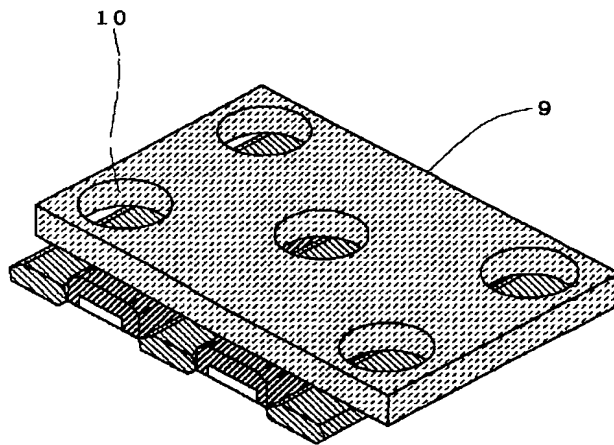
【図 9】



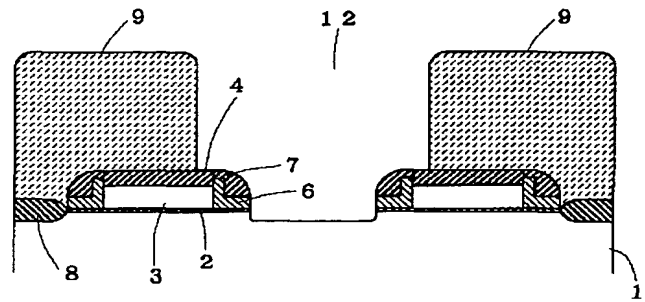
【図 10】



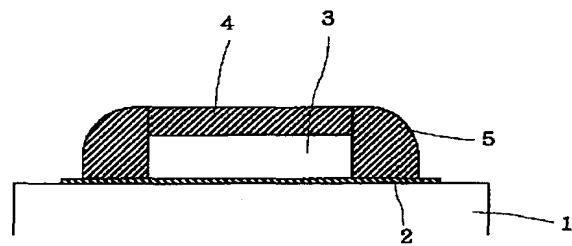
【図 1 1】



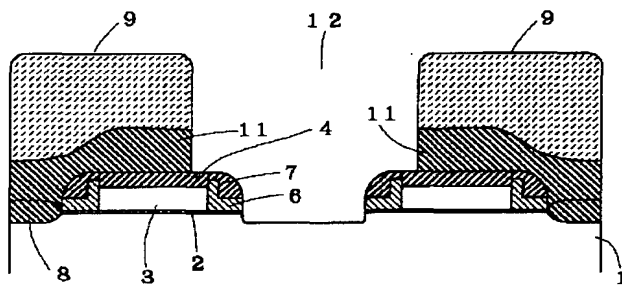
【図 1 2】



【図 1 4】



【図 1 3】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/768
21/8238
27/092
27/08

識別記号

弁内整理番号

3 3 1 A

F I

技術表示箇所

H 0 1 L 27/08

3 2 1 F